



(19)

(11) Publication number:

63278375

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 62115208

(51) Intl. Cl.: H01L 29/78 H01L 29/80

(22) Application date: 11.05.87

(30) Priority:

(43) Date of application
publication: 16.11.88(84) Designated contracting
states:

(71) Applicant: NEC CORP

(72) Inventor: OGAWA YOSHITO

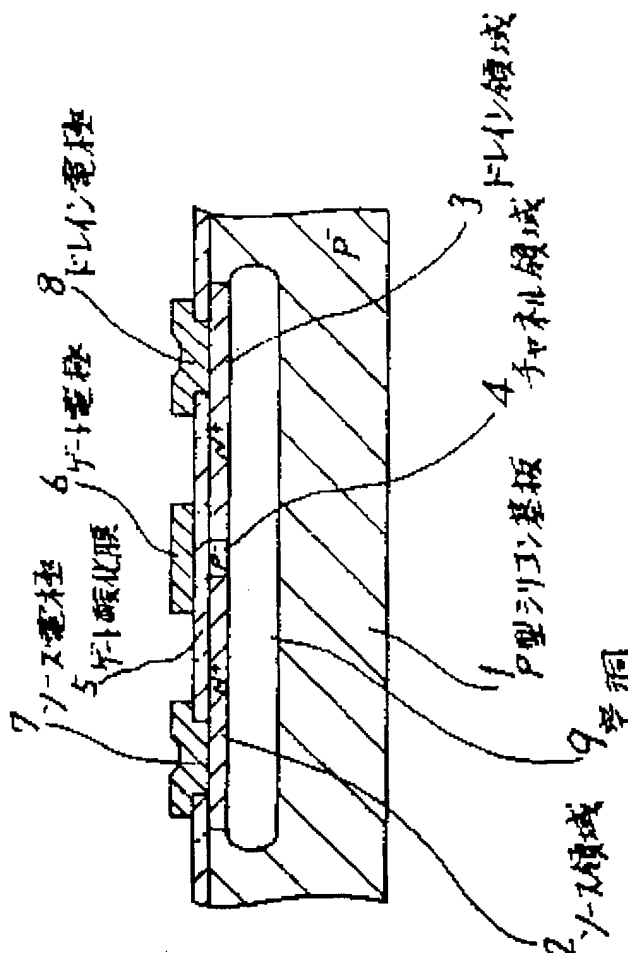
(74) Representative:

(54) SEMICONDUCTOR
INTEGRATED CIRCUIT
DEVICE

(57) Abstract:

PURPOSE: To reduce the induction effect by a substrate and to largely reduce a capacity value at an output side by forming a cavity in the lower part of an active region of a field effect transistor element.

CONSTITUTION: A P-type silicon substrate 1, source region 2 and a drain region 3 of an N+ type diffused layer formed at both sides of a channel region 4, a gate oxide film 5 and a gate region 6 on the region 4, a source electrode 7 and a drain electrode 8, a source region 2, a drain region 3 and a cavity 9 in the region 1 directly under the region 4 are formed. Thus, a capacity between the drain and the substrate of a field effect transistor can be reduced.



COPYRIGHT: (C)1988,JPO&Japio

BEST AVAILABLE COPY

⑫ 公開特許公報(A)

昭63-278375

⑤ Int.Cl.⁴H 01 L 29/78
29/80

識別記号

3 0 1

庁内整理番号

R-8422-5F
B-8122-5F

⑬ 公開 昭和63年(1988)11月16日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体集積回路装置

⑰ 特 願 昭62-115208

⑱ 出 願 昭62(1987)5月11日

⑲ 発 明 者 小 川 義 人 東京都港区芝5丁目33番1号 日本電気株式会社内

⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

㉑ 代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称

半導体集積回路装置

特 許 請 求 の 範 囲

電界効果トランジスタを含む半導体集積回路装置において、前記電界効果トランジスタ活性領域直下の基板領域の全部または一部が空洞化されていることを特徴とする半導体集積回路装置。

発 明 の 詳 細 な 説 明

〔産業上の利用分野〕

本発明は半導体集積回路装置に関し、特に電界効果トランジスタの寄生容量を低減した半導体集積回路装置に関する。

〔従来の技術〕

第3図はNチャネルMOS電界効果トランジスタを含む従来の半導体集積回路装置の構造を示す部分断面図で、通常、低濃度P型シリコン基板1

の表面に形成されたソース・ドレインの各高濃度N型拡散領域2、3と、チャネル領域4の上面に形成されたゲート酸化膜5およびゲート電極6と、ソースおよびドレインの各電極7および8とから成る。一般にこのような構造の電界効果トランジスタは基板1をソースまたはグランド電位に接続して使用される。

〔発明が解決しようとする問題点〕

しかし、上述した従来の電界効果トランジスタでは、基板1とドレイン拡散領域3との間のP-N接合容量が大きすぎ、高い周波数帯において、特に増幅器として用いる場合にはこのドレイン・基板間容量(Cds)が大きなサセプタンスを与え電力利得の低下を招く外、出力インピーダンスを低下させるのでマッチングがとりにくいこと等の欠点がある。

本発明の目的は、上記の状況に鑑み、電界効果トランジスタのドレイン・基板間容量を大幅に低減した半導体集積回路装置を提供することである。

〔問題点を解決するための手段〕

本発明によれば、半導体集積回路装置は、トランジスタ活性領域直下の基板領域の全部または一部が空洞化されている電界効果トランジスタを含んで構成される。すなわち、本発明によれば、トランジスタ活性領域直下の基板内に誘電率が1に近い空洞を設けることによってドレイン・基板間容量(C_{ds})が低減される。

〔実施例〕

次に本発明について図面を参照して説明する。

第1図は本発明をNチャネルMOS電界効果トランジスタに実施した場合の一実施例を示す断面構造図である。本実施例によれば、本発明の半導体集積回路装置は、比抵抗 $10^{-2} \Omega/\text{cm}$ のP型シリコン基板1と、チャネル領域4をはさんで形成される N^+ 拡散層のソース領域2およびドレイン領域3と、チャネル領域4上のゲート酸化膜5およびアルミ・ゲート領域6と、アルミのソース電極7およびドレイン電極8と、ソース領域2、ドレイン領域3およびチャネル領域4直下のシリ

コン領域1内に形成された空洞9とから成るNチャネルMOS電界効果トランジスタを含む。いま、ドレイン領域3の接合面積を S 、空洞9の厚さ d とすれば、ドレイン・基板間のPN接合容量 C_{ds} は、

$$C_{ds} = \frac{\epsilon \epsilon_0 S}{d} \quad (1)$$

で表わされる。

ここで、 ϵ_0 は真空の誘電率で 8.854×10^{-14} 、 ϵ は比誘電率でシリコン基板の場合は、 11.7 を示すが、空洞9内では1となる。従って、本実施例の場合では、電界効果トランジスタのドレイン・基板間容量 C_{ds} を従来構造と比較した場合その $1/11.7$ に減少させることができる。

第2図は本発明をガリウム砒素ショットキー障壁型電界効果トランジスタに実施した場合の一実施例を示す断面構造図である。本実施例によれば、本発明の半導体集積回路装置は、GaAs半絶縁性基板11と、この基板上にシリコン(Si)の

イオン注入で形成された N^+ 拡散層のソース、ドレイン領域12、13と、N型のチャネル領域14と、チャネル領域14上に設けられたショットキー電極16と、(AuGe/Ni)層でオーミック・コンタクトをとるソース、ドレインの各(Ti-Pt-Au)スパッタ電極17、18と、ソース領域12、ドレイン領域13およびチャネル領域14の下部に形成された空洞19とから成るカリウム砒素ショットキー障壁型電界効果トランジスタ(GaAs-MES-FET)を含む。本実施例のGaAs-MES-FETはチャネル領域14の底部が空洞19に接しているため、そのゲートしきい値電圧 V_{TH} はこの空洞19までの距離で決まる特徴を有する。GaAs半絶縁性基板によるとシリコン基板よりドレイン側の接合容量は小さく作ることができるが、その比誘電率は12.9とシリコン(Si)より大きいので、空洞化による容量低減の効果は更に大きくなる。

〔発明の効果〕

以上詳細に説明したように、本発明によれば電

界効果トランジスタ素子の活性領域下部を空洞化することにより基板による誘電効果を低減し得るので出力側の容量値を大幅に低減することができ、高周波数帯における電力増幅利得性およびインピーダンス整合特性をそれぞれ格段に向上せしめることが可能である。

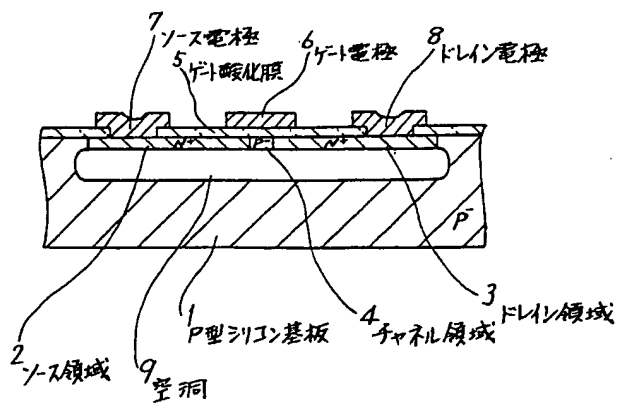
図面の簡単な説明

第1図は本発明をNチャネルMOS電界効果トランジスタに実施した場合の一実施例を示す断面構造図、第2図は本発明をガリウム砒素ショットキー障壁型電界効果トランジスタに実施した場合の一実施例を示す断面構造図、第3図はNチャネルMOS電界効果トランジスタを含む従来の半導体集積回路装置の構造を示す部分断面図である。

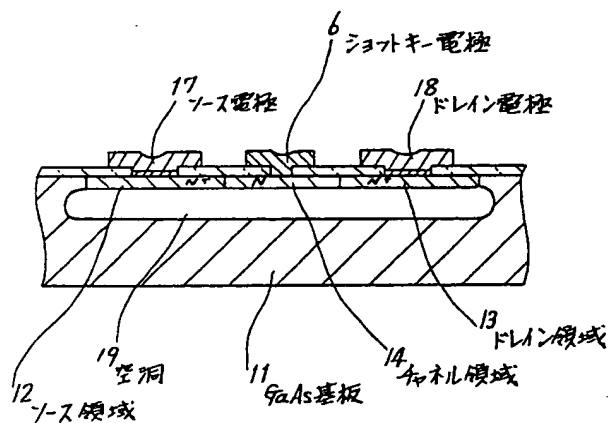
1…P型シリコン基板、11…GaAs半絶縁性基板、2、12…ソース領域、3、13…ドレイン領域、4、14…チャネル領域、5…ゲート酸化膜、6…ゲート電極、16…ショットキー電極、7、17…ソース電極、8、18…ドレイン

電極、9、19…空洞。

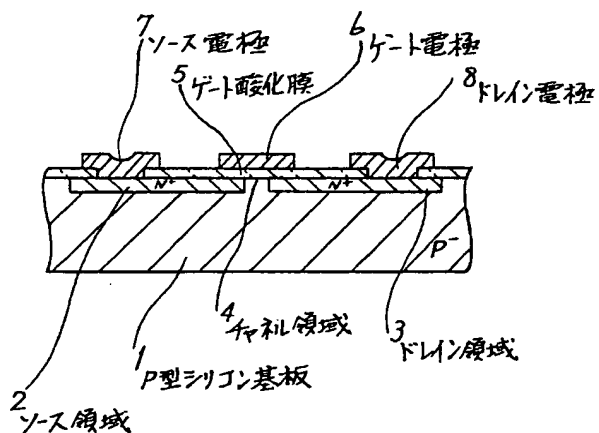
代理人 弁理士 内 原 晋



第 1 図



第 2 図



第 3 図

BEST AVAILABLE COPY